

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-118288

(43)Date of publication of application : 19.04.2002

(51)Int.Cl.

H01L 33/00

H01L 31/10

(21)Application number : 2000-311864

(71)Applicant : TOKAI RIKI CO LTD

(22)Date of filing : 12.10.2000

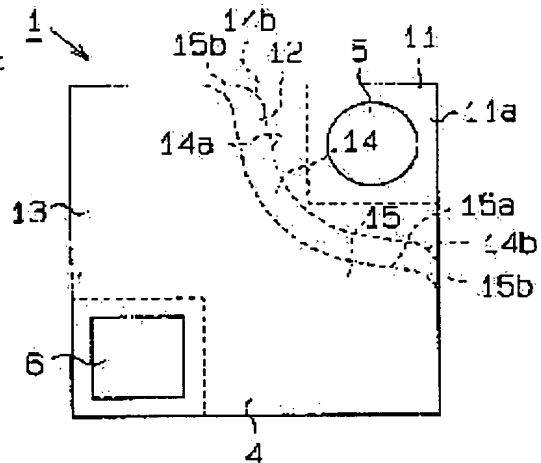
(72)Inventor : KOMAGATA NOBUYUKI

(54) SEMICONDUCTOR OPTICAL DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor optical device capable of improving an antistatic value.

SOLUTION: A first layer 11 constituting a light-emitting diode 1 is provided on an insulating substrate 2. The first layer 11 comprises an n-type single crystal gallium nitride(GaN). A second layer 12 is provided on the first layer 11. The second layer 12 comprises a p-type single crystal gallium nitride(GaN). The second layer 12 is cut to form a first opening part 14 where an exposed part 11a is exposed. The exposed part 11a is provided with an n-side electrode 5. A transparent electrode 13 is provided on the second layer 12. A p-side electrode 6 is provided on the second layer 12. The transparent electrode layer 13 is cut to form a second opening part 15 at a position corresponding to the first opening part 14. An opening edge 15b of the second opening part 15 is rounded.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

Copyright (C); 1998,2003 Japan Patent Office

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The 1st layer which consists of the 1st conductivity-type semiconductor formed on a base material while being prepared on said 1st layer -- said -- the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer The 1st electrode prepared at least in an outcrop in said 1st layer The 2nd electrode prepared on said 2nd layer It is the semiconductor light device equipped with the above, and the opening edge of said 2nd opening is characterized by having an R.

[Claim 2] The 1st layer which consists of the 1st conductivity-type semiconductor formed on a base material while being prepared on said 1st layer -- said -- the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer The 1st electrode prepared at least in an outcrop in said 1st layer The 2nd electrode prepared on said 2nd layer It is the semiconductor light device equipped with the above, and is characterized by making a opening edge of said 1st opening project to said 1st electrode side rather than a opening edge of said 2nd opening.

[Claim 3] The 1st layer which consists of the 1st conductivity-type semiconductor formed on a base material while being prepared on said 1st layer -- said -- the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer The 1st electrode prepared at least in an outcrop in said 1st layer With the 2nd electrode prepared on said 2nd layer, said some of two electrodes are removed at least, and it is a wrap passivation film about the device surface. It is the semiconductor light device equipped with the above, and is characterized by forming said passivation film using a material with a dielectric constant higher than silicon oxide.

[Translation done.]

THIS PAGE BLANK (USPTO)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to semiconductor light devices, such as a light emitting diode and a photodiode.

[0002]

[Description of the Prior Art] From the former, semiconductor light devices, such as a light emitting diode and a photodiode, are known.

[0003] For example, as shown in drawing 9 and drawing 10, the light emitting diode 51 as a semiconductor light device is equipped with 1st layer 53a, 2nd layer 53b, the transparent electrode layer 57, the 1st electrode 55, the 2nd electrode 56, and the passivation film 54.

[0004] 1st layer 53a consists of a n-type semiconductor, and is prepared on the base material 52. 2nd layer 53b consists of a p type semiconductor, and is prepared on 1st layer 53a. Notching formation of the 1st opening 61 to which a part of 1st layer 53a is exposed is carried out at 2nd layer 53b. The transparent electrode layer 57 is formed on 2nd layer 53b. Notching formation of the 2nd opening 62 is carried out in the location corresponding to the 1st opening 61 at the transparent electrode layer 57 top. Moreover, the 1st electrode 55 is formed at least in the outcrop in 1st layer 53a, and the 2nd electrode 56 is formed on 2nd layer 53b. The passivation film 54 which consists of silicon oxide covers the surface of light emitting diode 51 except for a part of 1st electrode 55 and 2nd electrode 56.

[0005]

[Problem(s) to be Solved by the Invention] By the way, in the conventional light emitting diode 51, it had partial 62a which was square in the opening edge section of the 2nd opening 62. Therefore, when a charge was impressed, electric-field concentration might arise and discharge to some light emitting diodes 51. Therefore, the problem that an electrostatic discharge will arise was in light emitting diode 51.

[0006] Moreover, when an overcurrent was impressed, current might concentrate on each opening edge. Consequently, the problem that a thermal runaway will arise was in light emitting diode 51.

[0007] Furthermore, when a charge was impressed, big electric field may have occurred between 1st layer 53a and 2nd layer 53b. Consequently, the problem that dielectric breakdown will arise was in light emitting diode 51.

[0008] This invention is made in view of the above-mentioned technical problem, and the 1st purpose is in offering the semiconductor light device which can raise an electrostatic tolerated dose. The 2nd purpose is to offer the semiconductor light device which can prevent that a thermal runaway arises. The 3rd purpose is to offer the semiconductor light device which can prevent that dielectric breakdown arises.

[0009]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, invention according to claim 1 while being prepared on the 1st layer which consists of the 1st conductivity-type semiconductor formed on a base material, and said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the

THIS PAGE BLANK (USPTO)

2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer, In a semiconductor light device equipped with the 1st electrode prepared at least in an outcrop in said 1st layer, and the 2nd electrode prepared on said 2nd layer, the opening edge of said 2nd opening makes it a summary to have an R.

[0010] The 1st layer which consists of the 1st conductivity-type semiconductor with which invention according to claim 2 was prepared on a base material, while being prepared on said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer, Let it be a summary to have made a opening edge of said 1st opening project to said 1st electrode side rather than a opening edge of said 2nd opening in a semiconductor light device equipped with the 1st electrode prepared at least in an outcrop in said 1st layer, and the 2nd electrode prepared on said 2nd layer.

[0011] The 1st layer which consists of the 1st conductivity-type semiconductor with which invention according to claim 3 was prepared on a base material, while being prepared on said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out A transparent electrode layer by which notching formation of the 2nd opening was carried out in a location corresponding to said 1st opening while being prepared on said 2nd layer, In the 1st electrode prepared at least in an outcrop in said 1st layer, the 2nd electrode prepared on said 2nd layer, and a semiconductor light device equipped with a wrap passivation film for the device surface except for said some of two electrodes at least Let it be a summary to have formed said passivation film using a material with a dielectric constant higher than silicon oxide.

[0012] Hereafter, "an operation" of this invention is explained. According to invention according to claim 1, since the opening edge of the 2nd opening has an R, the opening edge of the 2nd opening does not have a square portion. Therefore, when a charge is impressed, it is prevented that electric-field concentration arises and discharges to some semiconductor light devices. Therefore, it is prevented by semiconductor light device that an electrostatic discharge arises. Therefore, an electrostatic tolerated dose of a semiconductor light device can be raised.

[0013] According to invention according to claim 2, a opening edge of the 1st opening is projected rather than a opening edge of the 2nd opening. Therefore, a opening edge of the 2nd opening is not projected to a portion which current concentrates. Therefore, when an overcurrent is impressed, it is prevented that current concentrates on each opening edge. Therefore, it can prevent that a thermal runaway arises in a semiconductor light device.

[0014] According to invention according to claim 3, since a material with a dielectric constant higher than silicon oxide is used as a passivation film, when current is impressed, a possibility that large electric field will occur between the 1st layer and the 2nd layer becomes small. Therefore, it can prevent that dielectric breakdown arises in a semiconductor light device.

[0015]

[Embodiment of the Invention] Hereafter, 1 operation gestalt of the semiconductor light device which materialized this invention is explained according to drawing 1 - drawing 7 .

[0016] As shown in drawing 1 and drawing 2 , the light emitting diode 1 as a semiconductor light device is equipped with the insulating substrate 2 as a base material. This insulating substrate 2 is formed with sapphire etc. it becomes the upper surface of an insulating substrate 2 from the gallium nitride (GaN) of n mold single crystal as the 1st conductivity-type semiconductor -- 11 [layer / 1st] is formed.

[0017] As shown in drawing 2 , the n lateral electrode 5 as the 1st electrode is joined to outcrop 11a in 11 the 1st layer. The n lateral electrode 5 is formed with metals, such as gold (Au). The minus side of a power supply is connected to this n lateral electrode 5.

[0018] moreover, the 1st layer is set to non-outcrop 11b in 11 from the gallium nitride (GaN) of

THIS PAGE BLANK (USPTO)

p mold single crystal as the 2nd conductivity-type semiconductor -- 12 [layer / 2nd] is formed. As shown in drawing 2 , the 2nd layer of the thickness t_1 of 12 is set as the range of 2-3 micrometers. Notching formation of the 2nd layer of the 1st opening 14 to which outcrop 11a is exposed is carried out 12. Opening marginal 14a of the 1st opening 14 is making the arc of concave to the n lateral electrode 5 as the whole. On the contrary, opening edge 14b of the 1st opening 14 is making the arc of a convex to the n lateral electrode 5.

[0019] it is shown in drawing 2 -- as -- the 2nd -- the upper surface of layer 12 -- the transparent electrode layer 13 is mostly formed in the whole. The transparent electrode layer 13 is formed by gold (Au). The transparent electrode layer 13 is for passing equally the 2nd layer of the current from a power supply throughout 12. The p lateral electrode 6 as the 2nd electrode is joined to the upper surface of 12 the 2nd layer. The p lateral electrode 6 is formed with metals, such as gold (Au). The plus side of a power supply is connected to this p lateral electrode 6.

[0020] Moreover, notching formation is carried out in the location where the 2nd opening 15 is equivalent to the transparent electrode layer 13 with the 1st opening 14 at drawing 1 and drawing 2 so that it may be shown. Opening marginal 15a of the 2nd opening 15 is making the arc of concave to the n lateral electrode 5 as the whole. As for opening marginal 15a of the 2nd opening 15, only distance t_2 has withdrawn into the p lateral electrode 6 side rather than opening marginal 14a of the 1st opening 14. In other words, opening marginal 14a of the 1st opening 14 has projected only distance t_2 to the n lateral electrode 5 side rather than opening marginal 15a of the 2nd opening 15. In order to prevent that current concentrates on the opening edges 14a and 15a, as for this distance t_2 , being set as the range of $t_2 > 0$ is desirable. Furthermore, in order to pass the 2nd layer of current equally throughout 12, as for distance t_2 , it is desirable to be set as the range of $0.5 \times t_1 - 1.5 \times t_1$. In this operation gestalt, distance t_2 is set up so that the 2nd layer may become equal to the thickness t_1 of 12.

[0021] As shown in drawing 1 , opening edge 15b of the 2nd opening 15 is a round configuration without an edge. Opening edge 15b is making the shape of a circle of a convex toward the n lateral electrode 5 side. That is, opening edge 15b of the 2nd opening 15 has the R. As for the radius of curvature of the R of opening edge 15b, it is desirable to be set as the range of 10-100 micrometers. In this operation gestalt, the radius of curvature of the R of opening edge 15b is set as 10 micrometers.

[0022] As shown in drawing 2 , the surface of a light emitting diode 1 is covered with the passivation film 4. The passivation film 4 covers the surface of light emitting diode 1 except for some of n lateral electrodes 5 and p lateral electrodes 6. The passivation film 4 is formed using the material with a dielectric constant higher than the silicon oxide (SiO_2) as a silicon oxide. Here, the specific inductive capacity of silicon oxide (SiO_2) is 3.9. In addition, in this operation gestalt, the passivation film 4 is formed with the silicon nitride (Si_3N_4) as a silicon nitride. The specific inductive capacity of this silicon nitride (Si_3N_4) is 7.5.

[0023] Next, the manufacture procedure of the light emitting diode 1 of this operation gestalt is explained. First, as shown in drawing 3 , 11 [layer / 1st] is formed by making the surface of an insulating substrate 2 carry out epitaxial growth of the gallium nitride (GaN) of n mold single crystal. And epitaxial growth of the 1st layer (GaN) of the gallium nitride of p mold single crystal is carried out on the surface of 11, and 12 [layer / 2nd] is formed.

[0024] Then, as shown in drawing 4 , while exposing outcrop 11a by covering a mask 21 on the upper surface of 12 the 2nd layer, and performing photo etching, notching formation of the 1st opening 14 is carried out. And it outcrop 11a Reaches and the 2nd layer (Au) of gold is vapor-deposited to the upper surface of 12. By performing patterning in this condition, the n lateral electrode 5 and the p lateral electrode 6 as shown in drawing 5 are formed. Furthermore, as shown in drawing 6 , it vapor-deposits thinly to the degree to which the light penetrates gold (Au) on the whole surface. By performing patterning in this condition, the transparent electrode layer 13 as shown in drawing 7 is formed. And the passivation film 4 which consists of silicon nitride (Si_3N_4) is formed with P-CVD method. In this condition, the hole for performing wirebonding on the passivation film 4 at the n lateral electrode 5 and the p lateral electrode 6 is ****(ed). Consequently, the light emitting diode 1 shown in drawing 1 and drawing 2 is manufactured.

THIS PAGE BLANK (USPTO)

[0025] According to this operation gestalt, the following effects can be acquired.

(1) Since opening edge 15b of the 2nd opening 15 has the R, opening edge 15b of the 2nd opening 15 does not have square partial 62a like before. Therefore, when a charge is impressed, it is prevented that electric-field concentration arises and discharges to opening edge 15b. Therefore, it is prevented by light emitting diode 1 that an electrostatic discharge arises. Therefore, the electrostatic tolerated dose of light emitting diode 1 can be raised.

[0026] (2) Opening marginal 14a of the 1st opening 14 is projected rather than opening marginal 15a of the 2nd opening 15. Therefore, opening marginal 15a of the 2nd opening 15 is not projected to the portion (opening marginal 14a) which current concentrates. Therefore, when an overcurrent is impressed, it is prevented that current concentrates on each opening edges 14a and 15a. Therefore, it can prevent that a thermal runaway arises in light emitting diode 1.

[0027] (3) The silicon nitride (Si_3N_4) which is a material with a dielectric constant higher than silicon oxide (SiO_2) is used as a passivation film 4. Therefore, when current is impressed, the 2nd layer of the 1st layer of a possibility that 11 and the large electric field between 12 will occur becomes small. Therefore, it can prevent that dielectric breakdown arises in light emitting diode 1.

[0028] (4) The 2nd layer of the distance t_2 from opening marginal 14a of the 1st opening 14 to opening marginal 15a of the 2nd opening 15 is equal to the thickness t_1 of 12. Therefore, while it is prevented that current concentrates on each opening edges 14a and 15a, the condition that the 2nd layer of current flows the whole region of 12 equally is maintained. Therefore, while becoming possible to prevent that a thermal runaway arises in light emitting diode 1, the ease of flowing of current is maintainable.

[0029] In addition, this operation gestalt may be changed as follows.

– With the aforementioned operation gestalt, opening edge 14b of the 1st opening 14 had the R. However, opening edge 14b may have the square portion.

[0030] – With the aforementioned operation gestalt, opening marginal 15a of the 2nd opening 15 was making the arc of concave toward the n lateral electrode 5. However, as shown in drawing 8, opening marginal 15a may be making the arc of a convex toward the n lateral electrode 5 also including the portion of opening edge 15b as a whole. Thus, when are constituted and a charge is *** (ed), it is prevented that electric-field concentration arises and discharges to opening edge 15b. Therefore, it is prevented by light emitting diode 1 that an electrostatic discharge arises. Therefore, the electrostatic tolerated dose of light emitting diode 1 can be raised.

[0031] – With the aforementioned operation gestalt, the passivation film 4 was formed with silicon nitride (Si_3N_4). However, the passivation film 4 may be formed using other materials with a dielectric constant higher than silicon oxide (SiO_2). For example, you may make it the two-layer structure which used silicon oxide (SiO_2) for the lower layer side, and used silicon nitride (Si_3N_4) for the upper layer side as a passivation film 4. Moreover, the thing containing silicon oxide (SiO_2) and silicon nitride (Si_3N_4) may be used as a passivation film 4. In this case, silicon nitrides (SiN_x) other than Si_3N_4 are sufficient as silicon nitride. Furthermore, the passivation film 4 may be formed with materials other than a nitride with a dielectric constant higher than silicon oxide (SiO_2).

[0032] – The surface of a light emitting diode 1 was covered with the aforementioned operation gestalt by the passivation film 4. However, the passivation film 4 may be omitted from the surface of light emitting diode 1.

[0033] – With the aforementioned operation gestalt, it is realized to light emitting diode 1 as a semiconductor light device. However, this invention is not limited to a light emitting diode, and may be materialized to a photodiode, a photo transistor, etc.

[0034] – Although the 1st conductivity-type semiconductor is made into the gallium nitride (GaN) of n mold single crystal and the 2nd conductivity-type semiconductor is made into the gallium nitride (GaN) of p mold single crystal with the aforementioned operation gestalt, it is good also considering these as reverse. That is, the gallium nitride (GaN) of p mold single crystal and the 2nd conductivity-type semiconductor may be materialized for the 1st conductivity-type semiconductor as gallium nitride (GaN) of n mold single crystal. Moreover, the 1st conductivity-type semiconductor and the 2nd conductivity-type semiconductor may be formed with

THIS PAGE BLANK (USPTO)

polycrystal and an amorphous material. Furthermore, the 1st conductivity-type semiconductor and the 2nd conductivity-type semiconductor may be formed with semiconductors, such as silicon and gallium arsenide, besides gallium nitride (GaN).

[0035] - The material which forms each electrodes 5 and 6 is not limited to gold. That is, aluminum etc. may be used. Next, the technical thought grasped according to the operation gestalt mentioned above is indicated below besides the technical thought indicated by the claim.

[0036] (1) It is the semiconductor light device characterized by the opening edge of said 1st opening having the R in claim 1.

(2) while being prepared on the 1st layer which consists of the 1st conductivity-type semiconductor formed on the base material, and said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out The transparent electrode layer by which notching formation of the 2nd opening was carried out in the location corresponding to said 1st opening while being prepared on said 2nd layer, It is the semiconductor light device characterized by forming the opening edge of said 2nd opening in the shape of [of a convex] a circle toward said 1st electrode side in a semiconductor light device equipped with the 1st electrode prepared at least in the outcrop in said 1st layer, and the 2nd electrode prepared on said 2nd layer.

[0037] (3) while being prepared on the 1st layer which consists of the 1st conductivity-type semiconductor formed on the base material, and said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out The transparent electrode layer by which notching formation of the 2nd opening was carried out in the location corresponding to said 1st opening while being prepared on said 2nd layer, It is the semiconductor light device characterized by being the round configuration in which the opening edge of said 2nd opening does not have an edge in a semiconductor light device equipped with the 1st electrode prepared at least in the outcrop in said 1st layer, and the 2nd electrode prepared on said 2nd layer.

[0038] (4) It is the semiconductor light device characterized by the distance from the opening edge of said 1st opening to the opening edge of said 2nd opening being equal to said thickness of the 2nd layer in claim 2. Therefore, while becoming possible to prevent that a thermal runaway arises in an optical device according to invention given in this technical thought (4), the ease of flowing of current is maintainable.

[0039] (5) while being prepared on the 1st layer which consists of the 1st conductivity-type semiconductor formed on the base material, and said 1st layer -- said -- with the 2nd layer which the 1st opening to which a part of 1st layer is exposed becomes from the 2nd conductivity-type semiconductor by which notching formation was carried out The transparent electrode layer by which notching formation of the 2nd opening was carried out in the location corresponding to said 1st opening while being prepared on said 2nd layer, The semiconductor light device characterized by retracting the opening edge of said 2nd opening rather than the opening edge of said 1st opening in a semiconductor light device equipped with the 1st electrode prepared at least in the outcrop in said 1st layer, and the 2nd electrode prepared on said 2nd layer.

[0040]

[Effect of the Invention] As explained in full detail above, according to invention according to claim 1, the electrostatic tolerated dose of a semiconductor light device can be raised.

[0041] According to invention according to claim 2, it can prevent that a thermal runaway arises in a semiconductor light device. According to invention according to claim 3, it can prevent that dielectric breakdown arises in a semiconductor light device.

[Translation done.]

THIS PAGE BLANK (USPTO)

*** NOTICES ***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The plan of the light emitting diode in this operation gestalt.

[Drawing 2] Similarly, it is the cross section of light emitting diode.

[Drawing 3] The cross section showing the condition after the 1st layer and the 2nd layer were formed in the insulating substrate.

[Drawing 4] The cross section showing the condition before an outcrop and the 1st opening are formed.

[Drawing 5] The cross section showing the condition before a transparent electrode layer is formed.

[Drawing 6] The cross section showing the condition after the transparent electrode layer was formed.

[Drawing 7] The cross section showing the condition before the laminating of the passivation film is carried out.

[Drawing 8] The plan of the light emitting diode in example of another.

[Drawing 9] The plan of the light emitting diode in the conventional technology.

[Drawing 10] Similarly, it is the cross section of light emitting diode.

[Description of Notations]

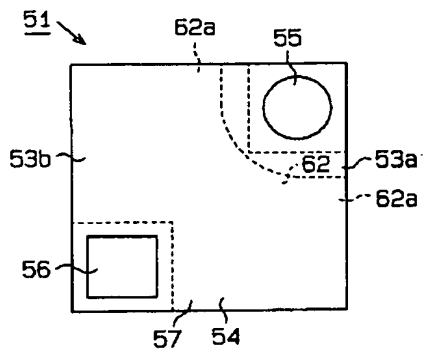
1 -- The light emitting diode as a semiconductor light device, 2 -- The insulating substrate as a base material, 4 -- A passivation film, 5 -- n lateral electrode as the 1st electrode, 6 -- p lateral electrode as the 2nd electrode, 11 [-- A transparent electrode layer, 14 / -- The 1st opening, 14a / -- A opening edge, 15 / -- The 2nd opening, 15a / -- A opening edge, 15b / -- Opening edge.] -- The 1st layer, 11a -- The outcrop it is supposed that it is at least as an outcrop, 12 -- The 2nd layer, 13

[Translation done.]

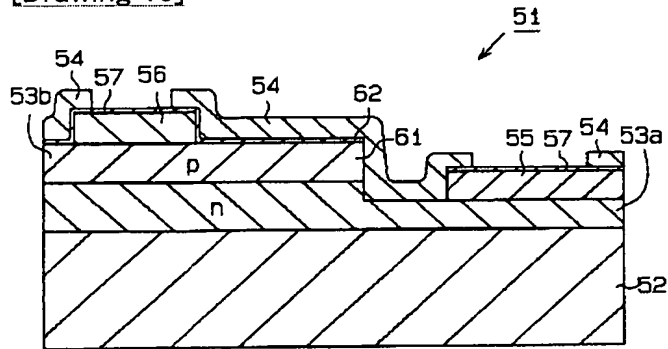
THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)



[Drawing 10]



[Translation done.]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118288

(P2002-118288A)

(43) 公開日 平成14年4月19日 (2002. 4. 19)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 L 33/00
31/10

H 0 1 L 33/00
31/10

E 5 F 0 4 1
H 5 F 0 4 9

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2000-311864 (P2000-311864)

(22) 出願日 平成12年10月12日 (2000. 10. 12)

(71) 出願人 000003551

株式会社東海理化電機製作所

愛知県丹羽郡大口町豊田三丁目260番地

(72) 発明者 駒形 信幸

愛知県丹羽郡大口町豊田三丁目260番地

株式会社東海理化電機製作所内

(74) 代理人 100068755

弁理士 恩田 博宣 (外 1 名)

Fターム (参考) 5F041 AA23 AA44 CA40 CA46 CA85

CA88 CA92 CA93 CB36

5F049 MA01 MB07 NA06 QA03 SE03

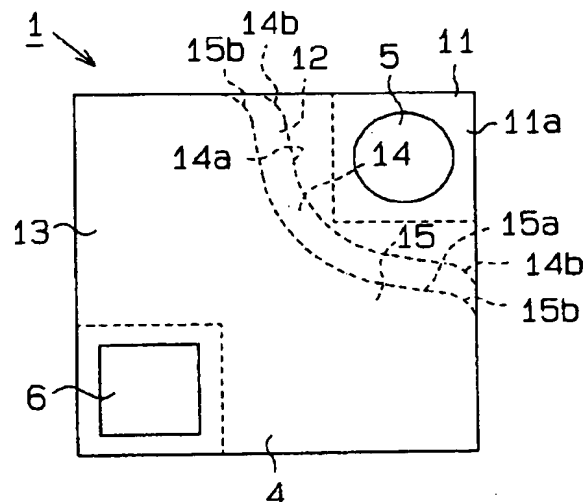
SE04 SE05 SE09 SE12 SZ13

(54) 【発明の名称】 半導体光デバイス

(57) 【要約】

【課題】 静電耐量を向上させることができる半導体光デバイスを提供する。

【解決手段】 発光ダイオード1を構成する第1層11は絶縁基板2上に設けられている。第1層11はn型単結晶の窒化ガリウム (Ga N) からなっている。第1層11上には第2層12が設けられている。第2層12はp型単結晶の窒化ガリウム (Ga N) からなっている。第2層12には露出部11aを露出させる第1開口部14が切り欠き形成されている。露出部11aにはn側電極5が設けられている。第2層12上には透明電極層13が設けられている。第2層12上にはp側電極6が設けられている。透明電極層13には、第2開口部15が第1開口部14に対応する位置に切り欠き形成されている。第2開口部15の開口端縁部15bはアールを有している。



【特許請求の範囲】

【請求項1】基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第2開口部の開口縁端部はアールを有していることを特徴とする半導体光デバイス。

【請求項2】基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第1開口部の開口縁を、前記第2開口部の開口縁よりも前記第1の電極側に突出させたことを特徴とする半導体光デバイス。

【請求項3】基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極と、少なくとも前記両電極の一部を除いてデバイス表面を覆うパッシベーション膜とを備える半導体光デバイスにおいて、シリコン酸化膜よりも誘電率の高い材料を用いて前記パッシベーション膜を形成したことを特徴とする半導体光デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光ダイオードやフォトダイオード等の半導体光デバイスに関するものである。

【0002】

【従来の技術】従来から、発光ダイオードやフォトダイオード等の半導体光デバイスが知られている。

【0003】例えば、図9及び図10に示すように、半導体光デバイスとしての発光ダイオード51は、第1層53a、第2層53b、透明電極層57、第1の電極55、第2の電極56及びパッシベーション膜54を備えている。

【0004】第1層53aはn型半導体からなり、基材52上に設けられている。第2層53bはp型半導体からなり、第1層53a上に設けられている。第2層53bには、第1層53aの一部を露出させる第1開口部61が切り欠き形成されている。透明電極層57は第2層53b上に設けられている。透明電極層57上には、第2開口部62が第1開口部61に対応する位置に切り欠き形成されている。また、第1の電極55は第1層53aにおける露出部位に設けられ、第2の電極56は第2層53b上に設けられている。シリコン酸化膜からなるパッシベーション膜54は、第1の電極55及び第2の電極56の一部を除いて発光ダイオード51の表面を覆うようになっている。

【0005】

【発明が解決しようとする課題】ところで、従来の発光ダイオード51では、第2開口部62の開口端縁部に角張った部分62aを有していた。そのため、電荷が印加された場合、発光ダイオード51の一部に電界集中が生じて放電してしまうことがあった。ゆえに、発光ダイオード51に静電破壊が生じてしまうという問題があった。

【0006】また、過電流が印加された場合、各開口縁に電流が集中してしまうことがあった。その結果、発光ダイオード51に熱破壊が生じてしまうという問題があった。

【0007】さらに、電荷が印加された場合、第1層53aと第2層53bとの間には大きな電界が発生してしまう可能性があった。その結果、発光ダイオード51に絶縁破壊が生じてしまうという問題があった。

【0008】本発明は上記の課題に鑑みてなされたものであり、その第1の目的は、静電耐量を向上させることのできる半導体光デバイスを提供することにある。第2の目的は、熱破壊が生じてしまうのを防止することのできる半導体光デバイスを提供することにある。第3の目的は、絶縁破壊が生じてしまうのを防止することのできる半導体光デバイスを提供することにある。

【0009】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の発明は、基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第2開口部の開口縁端部はアールを有していることを要旨とする。

【0010】請求項2に記載の発明は、基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上

に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第1開口部の開口縁を、前記第2開口部の開口縁よりも前記第1の電極側に突出させたことを要旨とする。

【0011】請求項3に記載の発明は、基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極と、少なくとも前記両電極の一部を除いてデバイス表面を覆うパッシベーション膜とを備える半導体光デバイスにおいて、シリコン酸化膜よりも誘電率の高い材料を用いて前記パッシベーション膜を形成したことを要旨とする。

【0012】以下、本発明の「作用」について説明する。請求項1に記載の発明によれば、第2開口部の開口縁端部はアールを有しているため、第2開口部の開口縁端部は角張った部分を有していない。よって、電荷が印加された場合、半導体光デバイスの一部に電界集中が生じて放電してしまうのが防止される。ゆえに、半導体光デバイスに静電破壊が生じてしまうのが防止される。従って、半導体光デバイスの静電耐量を向上させることができる。

【0013】請求項2に記載の発明によれば、第1開口部の開口縁は、第2開口部の開口縁よりも突出している。そのため、第2開口部の開口縁は電流が集中する部分まで突出していない。よって、過電流が印加された場合、各開口縁に電流が集中してしまうのが防止される。従って、半導体光デバイスに熱破壊が生じてしまうのを防止することができる。

【0014】請求項3に記載の発明によれば、シリコン酸化膜よりも誘電率が高い材料をパッシベーション膜として用いているため、電流が印加された場合に、第1層と第2層との間に大きい電界が発生してしまう可能性が小さくなる。従って、半導体光デバイスに絶縁破壊が生じてしまうのを防止することができる。

【0015】

【発明の実施の形態】以下、本発明を具体化した半導体光デバイスの一実施形態を図1～図7に従って説明する。

【0016】図1及び図2に示すように、半導体光デバイスとしての発光ダイオード1は、基材としての絶縁基

板2を備えている。この絶縁基板2は、例えばサファイア等によって形成されている。絶縁基板2の上面には、第1導電型半導体としてのn型単結晶の窒化ガリウム(GaN)からなる第1層11が形成されている。

【0017】図2に示すように、第1層11における露出部11aには、第1の電極としてのn側電極5が接合されている。n側電極5は、金(Au)等の金属によって形成されている。このn側電極5には、電源のマイナス側が接続されるようになっている。

【0018】また、第1層11における非露出部11bには、第2導電型半導体としてのp型単結晶の窒化ガリウム(GaN)からなる第2層12が形成されている。図2に示すように、第2層12の厚さt1は、2～3μmの範囲に設定されている。第2層12には、露出部11aを露出させる第1開口部14が切り欠き形成されている。第1開口部14の開口縁14aは、全体としてはn側電極5に対して凹の弧状をなしている。逆に、第1開口部14の開口縁端部14bは、n側電極5に対して凸の弧状をなしている。

【0019】図2に示すように、第2層12の上面のほぼ全体には透明電極層13が形成されている。透明電極層13は金(Au)によって形成されている。透明電極層13は、電源からの電流を第2層12の全域に均等に流すためのものである。第2層12の上面には、第2の電極としてのp側電極6が接合されている。p側電極6は、金(Au)等の金属によって形成されている。このp側電極6には、電源のプラス側が接続されるようになっている。

【0020】また、図1及び図2に示すように、透明電極層13には、第2開口部15が第1開口部14と対応する位置に切り欠き形成されている。第2開口部15の開口縁15aは、全体としてはn側電極5に対して凹の弧状をなしている。第2開口部15の開口縁15aは、第1開口部14の開口縁14aよりもp側電極6側に距離t2だけ引っ込んでいる。言い換えると、第1開口部14の開口縁14aは、第2開口部15の開口縁15aよりもn側電極5側に距離t2だけ突出している。この距離t2は、開口縁14a、15aに電流が集中してしまうのを防止するために、 $t2 > 0$ の範囲に設定されることが好ましい。さらに、距離t2は、電流を第2層12の全域に均等に流すために、 $0.5 \times t1 \sim 1.5 \times t1$ の範囲に設定されることが好ましい。本実施形態においては、距離t2は、第2層12の厚さt1と等しくなるように設定されている。

【0021】図1に示すように、第2開口部15の開口縁端部15bは、エッジのない丸い形状になっている。開口縁端部15bは、n側電極5側に向かって凸の円弧状をなしている。つまり、第2開口部15の開口縁端部15bはアールを有している。開口縁端部15bのアールの曲率半径は10～100μmの範囲に設定されると

とが好ましい。本実施形態においては、開口縁端部15bのアールの曲率半径は $10\mu\text{m}$ に設定されている。

【0022】図2に示すように、発光ダイオード1の表面はパッシベーション膜4によって被覆されている。パッシベーション膜4は、n側電極5及びp側電極6の一部を除いて発光ダイオード1の表面を被覆するようになっている。パッシベーション膜4は、シリコン酸化物としての酸化シリコン(SiO_2)よりも誘電率の高い材料を用いて形成されている。ここで、酸化シリコン(SiO_2)の比誘電率は3.9である。尚、本実施形態において、パッシベーション膜4は、シリコン窒化物としての窒化シリコン(Si_3N_4)によって形成されている。この窒化シリコン(Si_3N_4)の比誘電率は7.5である。

【0023】次に、本実施形態の発光ダイオード1の製造手順について説明する。まず、図3に示すように、絶縁基板2の表面にn型単結晶の窒化ガリウム(GaN)をエビタキシャル成長させることにより、第1層11を形成する。そして、第1層11の表面にp型単結晶の窒化ガリウム(GaN)をエビタキシャル成長させて第2層12を形成する。

【0024】その後、図4に示すように、第2層12の上面にマスク21を被覆してフォトリソを行うことにより、露出部11aを露出させるとともに、第1開口部14を切り欠き形成する。そして、露出部11a及び第2層12の上面に対して金(Au)を蒸着する。この状態においてパターニングを行うことにより、図5に示すようなn側電極5及びp側電極6を形成する。さらに、図6に示すように、全面に金(Au)を可視光が透過する程度に薄く蒸着する。この状態においてパターニングを行うことにより、図7に示すような透明電極層13を形成する。そして、窒化シリコン(Si_3N_4)からなるパッシベーション膜4をP-CVD法によって形成する。この状態において、パッシベーション膜4に、n側電極5及びp側電極6にワイヤボンディングを行うための孔を透設する。その結果、図1及び図2に示す発光ダイオード1が製造される。

【0025】本実施形態によれば、以下のような効果を得ることができる。

(1) 第2開口部15の開口縁端部15bはアールを有しているため、第2開口部15の開口縁端部15bは従来のような角張った部分62aを有していない。よって、電荷が印加された場合、開口縁端部15bに電界集中が生じて放電してしまうのが防止される。ゆえに、発光ダイオード1に静電破壊が生じてしまうのが防止される。従って、発光ダイオード1の静電耐量を向上させることができる。

【0026】(2) 第1開口部14の開口縁14aは、第2開口部15の開口縁15aよりも突出している。そのため、第2開口部15の開口縁15aは電流が集中す

る部分(開口縁14a)まで突出していない。よって、過電流が印加された場合、各開口縁14a、15aに電流が集中してしまうのが防止される。従って、発光ダイオード1に熱破壊が生じてしまうのを防止することができる。

【0027】(3) 酸化シリコン(SiO_2)よりも誘電率が高い材料である窒化シリコン(Si_3N_4)がパッシベーション膜4として用いられている。そのため、電流が印加された場合に、第1層11と第2層12との間に大きい電界が発生してしまう可能性が小さくなる。従って、発光ダイオード1に絶縁破壊が生じてしまうのを防止することができる。

【0028】(4) 第1開口部14の開口縁14aから第2開口部15の開口縁15aまでの距離t2は、第2層12の厚さt1と等しくなっている。よって、各開口縁14a、15aに電流が集中してしまうのが防止されるとともに、電流が第2層12の全域を均等に流れる状態が維持される。従って、発光ダイオード1に熱破壊が生じてしまうのを防止することが可能になるとともに、電流の流れ易さを維持することができる。

【0029】なお、本実施形態は以下のように変更してもよい。

・前記実施形態では、第1開口部14の開口縁端部14bはアールを有していた。しかし、開口縁端部14bは角張った部分を有していてもよい。

【0030】・前記実施形態では、第2開口部15の開口縁15aは、n側電極5に向かって凹の弧状をなしていた。しかし、図8に示すように、開口縁15aは、開口縁端部15bの部分も含めて全体としてn側電極5に向かって凸の弧状をなしていてもよい。このように構成すれば、電荷が印荷された場合、開口縁端部15bに電界集中が生じて放電してしまうのが防止される。ゆえに、発光ダイオード1に静電破壊が生じてしまうのが防止される。従って、発光ダイオード1の静電耐量を向上させることができる。

【0031】・前記実施形態では、パッシベーション膜4は窒化シリコン(Si_3N_4)によって形成されていた。しかし、パッシベーション膜4を、酸化シリコン(SiO_2)よりも誘電率の高い他の材料を用いて形成してもよい。例えば、パッシベーション膜4として、下層側に酸化シリコン(SiO_2)を用い、上層側に窒化シリコン(Si_3N_4)を用いた2層構造にしてもよい。また、酸化シリコン(SiO_2)と窒化シリコン(Si_3N_4)とを含んだものをパッシベーション膜4として利用してもよい。この場合、窒化シリコンは Si_3N_4 以外のシリコン窒化物(SiN_x)でもよい。さらに、パッシベーション膜4を、酸化シリコン(SiO_2)よりも誘電率の高い窒化物以外の材料によって形成してもよい。

【0032】・前記実施形態では、発光ダイオード1の

表面はパッシベーション膜4によって被覆されていた。しかし、パッシベーション膜4を発光ダイオード1の表面から省略してもよい。

【0033】・前記実施形態では、半導体光デバイスとして発光ダイオード1に具体化している。しかし、本発明は発光ダイオードに限定されるものではなく、例えば、フォトダイオード、フォトトランジスタ等に具体化してもよい。

【0034】・前記実施形態では、第1導電型半導体をn型単結晶の窒化ガリウム(GaN)、第2導電型半導体をp型単結晶の窒化ガリウム(GaN)としているが、これらを逆としてもよい。即ち、第1導電型半導体をp型単結晶の窒化ガリウム(GaN)、第2導電型半導体をn型単結晶の窒化ガリウム(GaN)として具体化してもよい。また、第1導電型半導体及び第2導電型半導体は、多結晶、アモルファスの材料によって形成されていてもよい。さらに、第1導電型半導体及び第2導電型半導体は、窒化ガリウム(GaN)以外にも、例えば、シリコン、ガリウム砒素等の半導体によって形成されていてもよい。

【0035】・各電極5、6を形成する材料は、金に限定されるものではない。即ち、アルミニウム等を用いてもよい。次に、特許請求の範囲に記載された技術的思想のほか、前述した実施形態によって把握される技術的思想を以下に記載する。

【0036】(1) 請求項1において、前記第1開口部の開口縁端部はアールを有していることを特徴とする半導体光デバイス。

(2) 基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第2開口部の開口縁端部は、前記第1の電極側に向かって凸の円弧状に形成されていることを特徴とする半導体光デバイス。

【0037】(3) 基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第2開口部の開口縁端部は、エッジのない丸い形状になっていることを特徴とする半導体光デバイス。

【0038】(4) 請求項2において、前記第1開口部の開口縁から前記第2開口部の開口縁までの距離は、前記第2層の厚さと等しいことを特徴とする半導体光デバイス。従って、この技術的思想(4)に記載の発明によれば、光デバイスに熱破壊が生じてしまうのを防止することが可能になるとともに、電流の流れ易さを維持することができる。

【0039】(5) 基材上に設けられた第1導電型半導体からなる第1層と、前記第1層上に設けられるとともに同第1層の一部を露出させる第1開口部が切り欠き形成された第2導電型半導体からなる第2層と、前記第2層上に設けられるとともに前記第1開口部に対応する位置に第2開口部が切り欠き形成された透明電極層と、前記第1層における露出部位に設けられた第1の電極と、前記第2層上に設けられた第2の電極とを備える半導体光デバイスにおいて、前記第2開口部の開口縁を、前記第1開口部の開口縁よりも引っ込ませたことを特徴とする半導体光デバイス。

【0040】

【発明の効果】以上詳述したように、請求項1に記載の発明によれば、半導体光デバイスの静電耐量を向上させることができる。

【0041】請求項2に記載の発明によれば、半導体光デバイスに熱破壊が生じてしまうのを防止することができる。請求項3に記載の発明によれば、半導体光デバイスに絶縁破壊が生じてしまうのを防止することができる。

【図面の簡単な説明】

【図1】 本実施形態における発光ダイオードの平面図。

【図2】 同じく、発光ダイオードの断面図。

【図3】 絶縁基板に第1層及び第2層が形成された後の状態を示す断面図。

【図4】 露出部及び第1開口部が形成される前の状態を示す断面図。

【図5】 透明電極層が形成される前の状態を示す断面図。

【図6】 透明電極層が形成された後の状態を示す断面図。

【図7】 パッシベーション膜が積層される前の状態を示す断面図。

【図8】 別例における発光ダイオードの平面図。

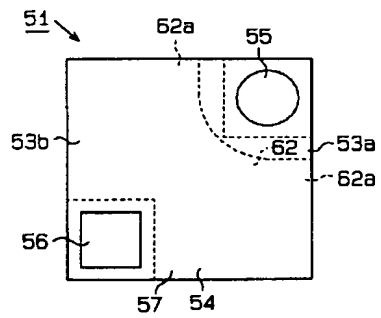
【図9】 従来技術における発光ダイオードの平面図。

【図10】 同じく、発光ダイオードの断面図。

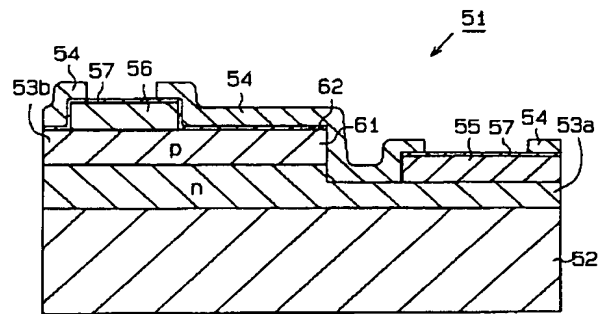
【符号の説明】

1…半導体光デバイスとしての発光ダイオード、2…基材としての絶縁基板、4…パッシベーション膜、5…第1の電極としてのn側電極、6…第2の電極としてのp側電極、11…第1層、11a…露出部位としての露出部、12…第2層、13…透明電極層、14…第1開口

【図9】



【図10】



THIS PAGE BLANK (USPTO)